

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-171876

(43)Date of publication of application : 25.07.1991

(51)Int.Cl.

H04N 1/419
G06F 15/66

(21)Application number : 01-309638

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 29.11.1989

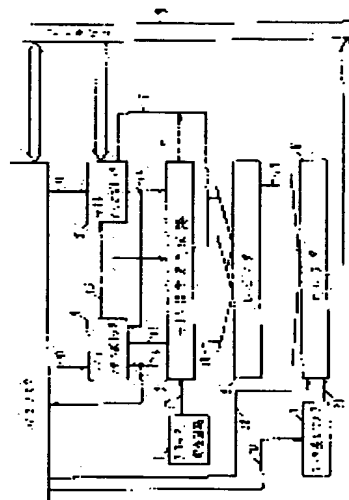
(72)Inventor : OUCHI YASUSHI

(54) DATA PROCESSOR

(57)Abstract:

PURPOSE: To correspond to a CPU for the various units of data processing by one data processor by successively reading out data for the units of a bit with a designated length from a register when input data are written into the register.

CONSTITUTION: When it is finished to write the picture data of one horizontal line to a register 2, a bus master outputs a read signal to a selector 6. The selector 6 reads a value 32 for the length of the output data from a data length register 7, reads out the data from the first bit to the 32nd bit from the register 2 and outputs the data to a data bus 8. After outputting the data of 32 bits to the data bus 8, the selector 6 reads again the value 32 for the length of the output data from the data length register 7, reads the data from the 33rd bit to the 64th bit from the register 2 and outputs the data. Accordingly, the data written into the register 2 are successively outputted as the data for the unit of 32 bits. Thus, one picture processor can correspond to the CPU for the various unit of data processing.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-171876

⑮ Int. Cl.⁵

H 04 N 1/419
G 06 F 15/66

識別記号

3 3 0 A

庁内整理番号

8220-5C
8419-5B

⑬ 公開 平成3年(1991)7月25日

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 データ処理装置

⑯ 特 願 平1-309638

⑰ 出 願 平1(1989)11月29日

⑱ 発 明 者 大 内 康 史 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
⑳ 代 理 人 弁理士 栗 野 重 孝 外1名

明 細 書

1、発明の名称

データ処理装置

2、特許請求の範囲

○又は1のビット列の組み合わせからなるデータがそのビット列ごとにその値とその長さの情報を有する形に変換された入力データを、変換される前の○又は1のビット列の組み合わせからなるデータに再変換し出力する装置であって、

複数のビットに同時に書き込みを行うことができ、複数のビットから読み出しを行うことができるレジスタと、

前記入力データの長さの情報に応じて前記レジスタの第1アドレスを指定する第1アドレス指定手段と、

前記入力データの長さの情報と前記第1アドレスに応じて前記レジスタの第2アドレスを指定する第2アドレス指定手段と、

前記第1アドレスと前記第2アドレスによって前記レジスタの領域を指定し、その領域を書き込

み可能な状態にする手段と、

前記入力データの値の情報に応じて前記領域に同時に書き込みを行う書き込み手段と、

前記レジスタに書き込まれたデータを指定された長さのビット列単位で前記レジスタから読みだし、順次出力するデータ出力手段と、

前記データ出力手段で読み出すビット列の長さの指定を行う出力データ長指定手段と

を有することを特徴とするデータ処理装置。

3、発明の詳細な説明

産業上の利用分野

本発明は、ワークステーション、DTP、パーソナルコンピュータ等のフォントデータ、イメージデータや、通信用データ等を処理するデータ処理装置に関するものである。

従来の技術

近年、ワークステーション、DTP、パーソナルコンピュータ等において、またデータ通信等において、扱われるデータは、益々大きくなり、処理速度向上が要求されている。それに対応するた

めに、高速のマイクロプロセッサや独自の高速化ハードウェアを用いて、一瞬の高速化を図っている。

以下、従来のデータ処理装置について説明する。

第4図は、従来のデータ処理装置の一例を示すものであり、ここで扱われるデータは、0又は1のビット列ごとに、16ビットのデータで第6図に示すように上位1ビットで0か1かの値を、下位15ビットでそのビット列の長さを表した形をしている。例えば、第6図に示すようなデータは、16進数で0020H、800FHという2つの情報で表されている。

第4図において、31は、この回路の内部コントロール信号発生用のクロック発生回路、32は16ビットのレジスタ33および34からなり各ビットに0から31の連続したアドレスを持つレジスタ群、35はスタートポイントセット信号を信号線46に、ライト信号を信号線48に、またレジスタ32を初期化するための0信号を信号線47に出力するライト信号発生回路、36は内部

に加算器を有し、バスマスタからの命令でクリア信号を信号線42に出力し、また、バスマスタから画像データを受け取るとスタートポイントを信号線43に出力するライトスタートポイント、37は内部に加算器を有しその加算器によって計算されたエンドポイントを信号線44に、バスマスタからの画像データに基づいた2値信号を信号線45に出力するライトエンドポイント、38はレジスタ群32のすべてのビットにデータが書き込まれた後、バスマスタの命令によりレジスタ33、レジスタ34の順番に指定し、バスマスタにレジスタ33および34に書き込まれているデータを順次出力するセレクト、39はデータバスである。

以上のように構成された従来のデータ処理装置について、以下その動作を説明する。

簡単のため、上述した第6図に示したデータを変換し出力する動作を説明する。

まず、バスマスタからの命令によってライトスタートポイント36がクリア信号をライト信号発生回路35に出力するとライト信号発生回路35

はすべてのライト信号をアクティブにし、レジスタクリア信号によってレジスタ群32のすべてのビットを0に初期化する。次に、バスマスタは最初の入力データである0020Hをデータバス39を通してライトエンドポイント37に書き込み、エンドポイントセット信号をライトエンドポイント37に出力すると、スタートポイントと入力データからエンドポイントがライトエンドポイント37内部の加算器によって計算され(エンドポイント=スタートポイント+画像データのビット長=16)エンドポイントが16に書き換えられ、ライト信号発生回路36が、レジスタ群32の各ビットのうちスタートポイントが指す0ビット0からエンドポイントが指すビット16までのライト信号をアクティブにする。すると、ライトエンドポイント37からの2値信号に従って、レジスタ群32の第0ビットから第16ビットまでに0が同時に書き込まれる。0020Hが、レジスタ群32に書き込まれた後、ライト信号発生回路35がスタートポイントセ

ット信号をライトスタートポイント35に出力すると、ライトスタートポイント35は内部の加算器によって[エンドポイント+1]の計算を行い(この場合は、16+1=17)、計算された値をその値を新たなスタートポイントとして出力する。

ライトスタートポイント35に新たなスタートポイントがセットされると、バスマスタはライトエンドポイント37に次の画像データである800FHを出力する。上述した動作によって、レジスタ群32の第17番目のビットから第32番目のビットに1が書き込まれ、セレクト38がレジスタ33、レジスタ34の順に選択し、バスマスタへ16ビット単位のデータが順次出力される。

発明が解決しようとする課題

しかしながら上記従来の構成では、入力データがレジスタ群に書き込まれた後そのデータを読み出す場合、セレクトによってレジスタ群を構成する各レジスタを順次指定し、そのレジスタ単位でのみ読み出しを行うことができるため、中央演算

処理装置（以下CPUとする）のデータ処理単位が変わると一つのデータ処理装置では対応できないという問題点を有していた。

課題を解決するための手段

本発明は前記課題を解決するため、複数のビットから読み出しを行うことができるレジスタと、前記レジスタに書き込まれたデータを指定された長さのビット列単位で前記レジスタから読みだし、順次出力するデータ出力手段と、前記データ出力手段で読み出すビット列の長さの指定を行う出力データ長指定手段とを備える。

作 用

本発明は上記した構成により、レジスタに入力データが書き込まれると、出力データ長指定手段によって指定された長さのビット列単位のデータが、データ出力手段によって前記レジスタから順次読み出され出力される。

実 施 例

第1図は、本発明の一実施例におけるデータ処理装置を使った画像処理装置のブロック図である。

加算器を有しその加算器によって計算されたエンドポイントを信号線14にバスマスタからの画像データに基づいた2値信号を信号線45に出力するライトエンドポインタ、6はレジスタ2のすべてのビットにデータが書き込まれた後、指定された出力データ長のデータを順次レジスタ2から読みだし出力するセレクト、7はバスマスタから出力データ長を信号線20を通じて受け取り記憶し、その出力データ長を信号線21へ出力するデータ長レジスタ、8はデータバスである。

以上のように構成された本実施例の画像処理装置について、以下その動作を説明する。

まず、バスマスタは出力データ長をデータ長レジスタ7に書き込む。次に、バスマスタからの命令によってライトスタートポインタ4がクリア信号をライト信号発生回路3に出力するとライト信号発生回路3はすべてのライト信号をアクティブにし、レジスタクリア信号によってレジスタ2のすべてのビットを0に初期化する。次に、バスマスタは最初の入力データである8020Hをデー

タバス8を通してライトエンドポインタ5に書き込み、エンドポインタセット信号をライトエンドポインタ5に出力すると、スタートポインタと入力データからエンドポインタがライトエンドポインタ5内部の加算器によって計算され（エンドポインタ＝スタートポインタ＋画像データのビット長－1＝16）エンドポインタが16に書き換えられ、ライト信号発生回路3が、レジスタ2の各ビットのうちスタートポインタが指すビット0からエンドポインタが指すビット16までのライト信号をアクティブにする。すると、ライトエンドポインタ5からの2値信号に従ってレジスタ2の第0ビットから第16ビットまでに1が同時に書き込まれる。8020Hが、レジスタ2に書き込まれた後、ライト信号発生回路3がスタートポインタセット信号をライトスタートポインタ4に出力すると、ライトスタートポインタ4は内部の加算器によって〔エンドポインタ＋1〕の計算を行い（この場合は、16＋1＝17）、計算された値をその値を新たなスタートポインタとして出力

尚、この画像処理装置が取り扱う画像データは、白（0で表す）又は黒（1で表す）の2値を持ち、1本の水平ラインの総ビット数は64ビットであって、入力データは第2図に示すように、黒17ビット、白16ビット、黒20ビット、白11ビットからなり、8020H、0010H、8060H、000BHの形に変換されているとする。また、本画像処理装置がデータを出力する対象となるCPUのデータ処理単位（以下、出力データ長という）は32ビットであるとする。

第1図において、1はこの回路の内部コントロール信号発生用のクロック発生回路、2は16ビットのレジスタ、3はスタートポインタセット信号を信号線16に、ライト信号を信号線18に、またレジスタを初期するための0信号を信号線17に出力するライト信号発生回路、4は内部に加算器を有し、バスマスタからの命令でクリア信号を信号線12に出力し、また、バスマスタから画像データを受け取るとスタートポインタを信号線13に出力するライトスタートポインタ、5は内部に

タバス8を通してライトエンドポインタ5に書き込み、エンドポインタセット信号をライトエンドポインタ5に出力すると、スタートポインタと入力データからエンドポインタがライトエンドポインタ5内部の加算器によって計算され（エンドポインタ＝スタートポインタ＋画像データのビット長－1＝16）エンドポインタが16に書き換えられ、ライト信号発生回路3が、レジスタ2の各ビットのうちスタートポインタが指すビット0からエンドポインタが指すビット16までのライト信号をアクティブにする。すると、ライトエンドポインタ5からの2値信号に従ってレジスタ2の第0ビットから第16ビットまでに1が同時に書き込まれる。8020Hが、レジスタ2に書き込まれた後、ライト信号発生回路3がスタートポインタセット信号をライトスタートポインタ4に出力すると、ライトスタートポインタ4は内部の加算器によって〔エンドポインタ＋1〕の計算を行い（この場合は、16＋1＝17）、計算された値をその値を新たなスタートポインタとして出力

する。

ライトスタートポイント4に新たなスタートポイントがセットされると、バスマスタはライトエンドポイント5に次の画像データである0010Hを出力する。上述した動作によって、レジスタ2の第17番目のビットから第33番目のビットに0が、第34番目のビットから第54番目のビットに1が、また、第55番目のビットに0が順次書き込まれ、レジスタ2は第3図に示すような状態になる。

1本の水平ラインの画像データのレジスタ2への書き込みが終わると、バスマスタはリード信号をセレクト6へ出力する。すると、セレクト6はデータ長レジスタ7から出力データ長の値32を読み取り、レジスタ2の第1番目ビットから第32番目のビットまでのデータを読みだし、データバス8へ出力する。データバス8へ32ビットのデータを出力した後、セレクト6はふたたびデータ長レジスタ7から出力データ長の値32を読み取り、レジスタ2の第33番目のビットから第64

番目のビットまでのデータを読みだし出力する。

以上の動作によって、レジスタ2に書き込まれたデータが32ビット単位のデータとして順次出力される。

CPUのデータ処理単位が32ビット以外の場合でも、始めにデータ長レジスタ7に書き込むデータ長の値を変えれば、それぞれのCPUに対応したデータ長のデータが順次出力される。

以上のように本実施例によれば、セレクトがレジスタからデータを読み出す際に、データ長レジスタによって読み出すデータのデータ長を指定できるために、一つの画像処理装置で異なったデータ処理単位のCPUに対応できる。

発明の効果

本発明は、複数のビットから読み出しができるレジスタと、前記レジスタに書き込まれたデータを指定された長さのビット列単位で前記レジスタから読みだし、順次出力するデータ出力手段と、前記データ出力手段で読み出すビット列の長さの指定を行う出力データ長指定手段とを設けること

により、レジスタに書き込まれたデータを、指定された長さのビット列ごとに順次出力できるため、一つのデータ処理装置で異なったデータ処理単位のCPUに対応できる。

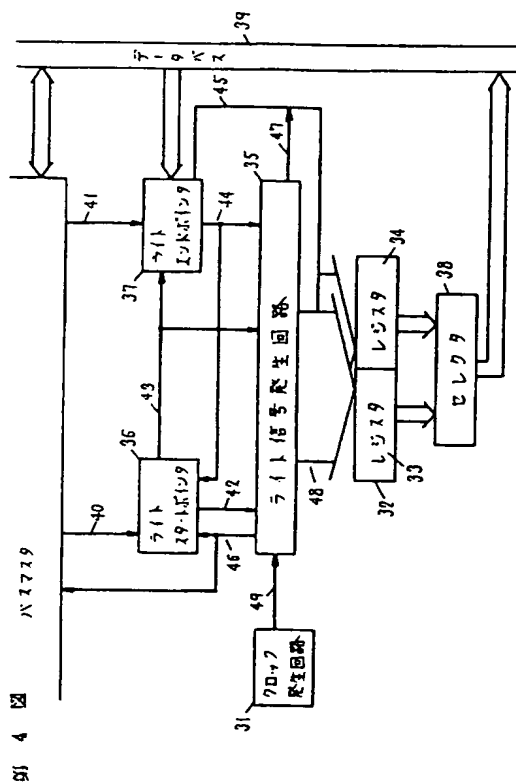
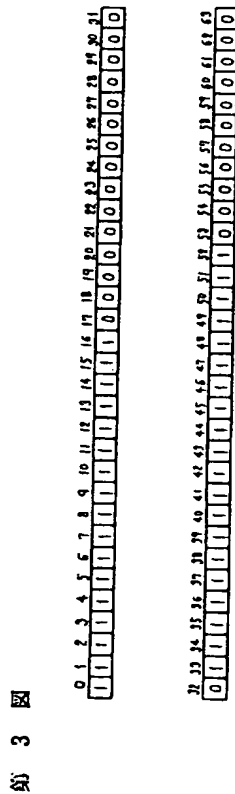
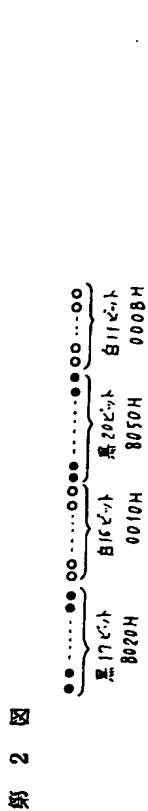
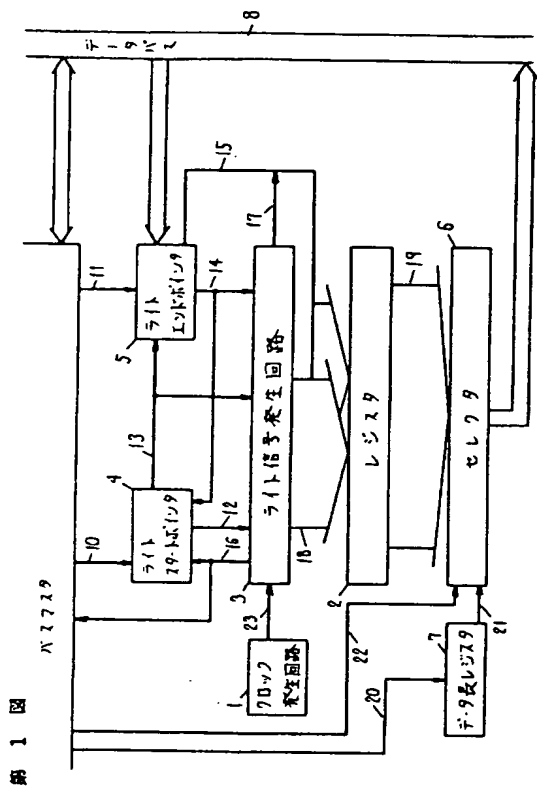
4. 図面の簡単な説明

第1図は本発明の実施例の画像処理装置のブロック図、第2図は本発明の実施例の画像処理装置の説明に用いる画像データを示した図、第3図は本発明の実施例の画像処理装置のレジスタへの画像データの書き込みが終わったときのレジスタの状態を示した図、第4図は従来例のデータ処理装置のブロック図、第5図は従来例のデータ処理装置および本発明の実施例の画像処理装置で扱われるデータの形を示した図、第6図は従来例のデータ処理装置の説明に用いるデータを示した図である。

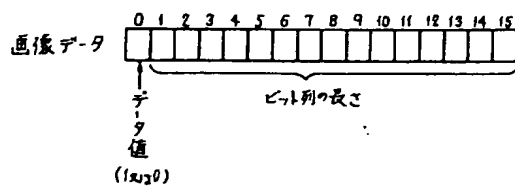
1……クロック発生回路、2……レジスタ、3……ライト信号発生回路、4……ライトスタートポイント、5……ライトエンドポイント、6……セレクト、7……データ長レジスタ、8……デー

タバス。

代理人の氏名 井理士 栗野重幸ほか1名



第 5 図



第 6 図

